

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199223

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.⁶

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

庁内整理番号

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 有 請求項の数4 F D (全 9 頁)

(21) 出願番号 特願平5-352442

(22) 出願日 平成5年(1993)12月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 助川 統

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 金子 若彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 井原 浩史

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 五十嵐 省三

最終頁に続く

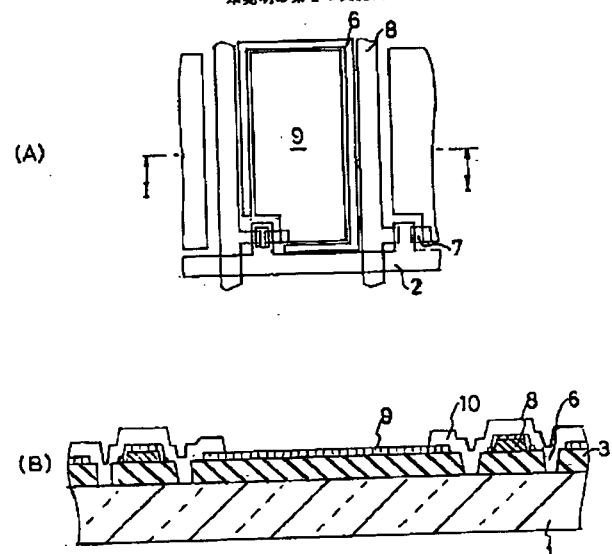
(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 液晶表示装置における信号配線領域の信号配線パターンと画素電極形成領域の画素電極層との短絡を防止すること。

【構成】 ガラス基板1上にゲート絶縁層3を形成し、画素電極層9を形成する領域と信号配線層(ドレインパターン)8を形成する領域との間のゲート絶縁層3をエッチング除去して凹部6を形成する。その後、画素電極層3及びドレインパターン8をゲート絶縁層3上に形成する。

本発明の第1の実施例



- 1...ガラス基板
- 2...ゲート層(パターン)
- 3...ゲート絶縁層
- 4...凹部
- 7...ソースパターン
- 8...ドレインパターン
- 9...透明画素電極層
- 10...絶縁保護層

【特許請求の範囲】

【請求項1】 絶縁基板(1)上にゲート絶縁層(3)を形成する工程と、
画素電極形成領域と信号配線領域との間の前記ゲート絶縁層の部分をエッチング除去する工程と、
前記信号配線領域のゲート絶縁層上に信号配線パターン(8)を形成する工程と、
前記画素電極形成領域のゲート絶縁層上に画素電極層(9)を形成する工程とを具備する液晶表示装置の製造方法。

【請求項2】 前記画素電極層形成工程は、前記ゲート絶縁層がエッチング除去された絶縁基板上にも前記画素電極層を形成する請求項1に記載の液晶表示装置の製造方法。

【請求項3】 前記ゲート絶縁層エッチング除去工程は、前記信号配線領域の前記ゲート絶縁層の部分をもエッチング除去する請求項1に記載の液晶表示装置の製造方法。

【請求項4】 絶縁基板(1)上にゲート絶縁層(3)を形成する工程と、
画素電極形成領域と信号配線領域との間の前記ゲート絶縁層の部分をエッチング除去する工程と、
前記信号配線領域のゲート絶縁層上に信号配線パターン(8)を形成する工程と、
前記画素電極形成領域のゲート絶縁層上に画素電極層(9)を形成する工程と前記信号配線パターン及び前記画素電極層を保護する絶縁保護層(10)を形成する工程と、
画素電極形成領域と信号配線領域との間の前記絶縁保護層の部分及び前記ゲート絶縁層の部分をエッチング除去する工程とを具備する液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置の製造方法、たとえばアクティブマトリクス型液晶表示装置の製造方法に関する。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置は各画素に対してスイッチング素子としての薄膜トランジスタ(TFT)を有しており、この薄膜トランジスタがアモルファスシリコン(a-Si)により構成できるので、安価かつ大面積の表示装置を実現できる。

【0003】図6、図7の(A)を参照して従来のアクティブマトリクス型液晶表示装置を説明する。なお、図6の(A)は平面図、図6の(B)は図6の(A)のVI-VI線断面図、図7の(A)は図6の(A)の薄膜トランジスタ部分の断面図である。図6の(A)に示すように、薄膜トランジスタは、透明画素電極109に接続されたソースパターン107とドレインパターン108との間に形成され、ゲートパターン(ゲート層)102の

電位によってスイッチングされる。図6の(B)及び図7の(A)を参照して詳細を説明すると、ガラス基板101上に、ゲート層102が形成され、その上に、TaO、SiO等による第1層のゲート絶縁層1031、SiN等による第2層のゲート絶縁層1032を積層してゲート絶縁層を形成する。さらに、その上に、薄膜トランジスタのチャネルを形成するI層アモルファスシリコン層104、低抵抗コンタクトを形成するためのN型アモルファスシリコン層105を形成する。そして、Cr、Mo-Ta、AlあるいはAl/Ta等の単層あるいは多層構造のソースパターン107及びドレインパターン108を形成し、次いで、ITOからなる透明画素電極109及び絶縁保護層110を形成する。

【0004】図7の(B)は図7の(A)の変更例を示す(参照：特開平4-324988号公報)。図7の

(B)においては、ゲート層102がガラス基板101の凹部101aに埋設されている。つまり、ガラス基板101上にフォトリソを用いてゲートパターンの開口部を有するエッチングマスクを形成する。次にこの基板101をArによるイオンビームミリング装置によりエッチング処理する。エッチング深さはゲート層102とほぼ等しい量とする。このようにしてゲート層102はガラス基板101の凹部101aに充填されるようにし、この結果、ガラス基板面とゲート層とが面一の平坦面となる。従って、薄膜トランジスタの基板面からの高さ(厚み)が低くなり、配向不良の防止、液晶層のギャップ制御材による欠陥の減少、また凹部の深さを十分に取ることによりゲート層の厚みを増加できて抵抗値が減少できる。

【0005】また、図8、図9は他のアクティブマトリクス型液晶表示装置の製造方法を示し、ゲート絶縁層と絶縁保護層とが同時に形成されている(参照：特開平2-234126号公報)。すなわち、図8の(A)に示すように、ガラス基板上にCrからなる第1導電膜g1をスパッタしゲートラインGL、ゲート電極GT、ゲート端子GTMの第1層及び保持容量Caddの電極膜を形成する。次に、Al等からなる第2の導電膜をスパッタし、ゲートラインGLの第2層及びゲート端子GTM上にも第2層を形成する。この場合、ゲート端子GTM上の第2導電膜g2の端部が保護膜の周縁の外側に位置するようにする。次に、図8の(B)に示すように、プラズマCVD法により窒化シリコン、I型非結晶シリコン、N⁺型シリコン膜を設け、I型半導体層を形成する。次に、Crからなる第1導電膜層d1をスパッタし、ドレインラインDL、ソース電極SD1及びドレイン電極SD2、ドレイン端子DTMの第1層を形成する。次に、レジストを除去する前にドライエッチングにより、N⁺型半導体層d0を形成する。次に、Al等により第2の導電膜を成膜し、映像信号線DL、ソース電極SD1及びドレイン電極SD2の第2層を形成すると

3

共に、ドレイン端子DTM上にも第2導電膜d2を形成する。この場合、ドレイン端子DTM上の第2導電膜d2の端部が、保護膜PSV1の周縁の外側に位置するようにする。次に、ITO膜からなる第3導電膜d3をスパッタし、映像信号線DL、ソース電極SD1及びドレイン電極SD2の第3層、透明画素電極ITO1を形成する。次にプラズマCVD法により膜厚が1 μ mの窒化シリコン膜を設ける。次に、図9の(A)に示すように、ドライエッチングにより保護膜PSV1及び絶縁膜G1のパターン形成を行う。次に、図9の(B)に示すように、レジストを除去する前にゲート端子GTMの第1導電膜g1上の第2導電膜g2、ドレイン端子DTMの第1導電膜d1上の第2導電膜d2を除去する。次に、ITO膜をスパッタし、ゲート端子GTM及びドレイン端子DTMの最上層TMLを形成する。このように、絶縁膜のパターン形成と保護膜のパターン形成を同時に行うため、ゲート絶縁膜として使用される絶縁膜にレジストのピンホールが転写されることがないため、ゲートライン、ゲート電極とドレインライン、ソース電極、ドレイン電極とがショートすることがないため、歩留まり向上することができる。

【0006】

【発明が解決しようとする課題】しかしながら、上述の従来のアクティブマトリクス型液晶表示装置の製造方法においては、信号配線領域の信号配線パターン（ドレインパターン）と画素電極形成領域の画素電極層とが同一平面内のゲート絶縁層上に形成されるために、高密度表示構成で双方が短絡し易いという課題がある。特に、薄膜トランジスタのアモルファスシリコンのパターニングの際のエッチング不良によるアモルファスシリコン残りと、ドレインパターンと画素電極層の短絡もしくは近接する画素電極層同士の短絡が発生し、これにより、点欠陥不良が発生する。従って、本発明の目的は、信号配線領域の信号配線パターンと画素電極形成領域の画素電極層との短絡を防止することにある。

【0007】

【課題を解決するための手段】上述の課題を解決するために本発明は、絶縁基板上にゲート絶縁層を形成する工程と、信号配線領域のゲート絶縁層上に信号配線パターンを形成する工程と、画素電極形成領域のゲート絶縁層上に画素電極層を形成する工程と、信号配線パターン及び画素電極層を保護する絶縁保護層を形成する工程と、を具備する液晶表示装置の製造方法において、画素電極形成領域と信号配線領域との間のゲート絶縁層の部分をエッチング除去する工程、もしくは画素電極形成領域と信号配線領域との間の絶縁保護層の部分及びゲート絶縁層の部分をエッチング除去する工程を設けたものである。

【0008】

【作用】上述の手段によれば、信号配線層と画素電極層

4

との間もしくは近接する画素電極層間のゲート絶縁層上にアモルファスシリコン層のエッチング残りが存在する場合でも、このエッチング残りも同時にエッチング除去される。

【0009】

【実施例】図1、図2は本発明に係るアクティブマトリクス型液晶表示装置の第1の実施例を示し、図1の(A)は平面図、図1の(B)は図1の(A)のI-I線断面図、図2は図1の(A)の薄膜トランジスタ部分の断面図である。以下、その製造方法を詳細に説明する。まず、ガラス基板1上にスパッタ法によりCrを成膜し、フォトリソグラフィによりゲート層（パターン）2を形成する。次に、プラズマ化学気相推積（PCVD）法によりSiN、アモルファスシリコン、N⁺型アモルファスシリコンを順次推積してゲート絶縁層3、I型アモルファスシリコン層4、N⁺型アモルファスシリコン層5を積層する。次に、ドライエッチングによりN⁺型アモルファスシリコン層5の所定パターンを除去し、さらに同一パターンのI型アモルファスシリコン層4を必要部分だけ残して除去する。さらに、その後、ドライエッチングにより周辺端子部等で後述のソースパターン7、ドレインパターン8との導通のために所定パターン（図示せず）でゲート絶縁層3をエッチングする。このとき、電極形成領域とドレインパターン形成領域との間のゲート絶縁層3をも同時にエッチング除去して凹部6を形成する。次に、Cr、Mo-Ta、AlあるいはAl/Ta等の単層あるいは多層構造を成膜し、パターニングしてソースパターン7及びドレインパターン8を形成する。次いで、スパッタによりITOを推積してパターニングして透明画素電極層9を形成する。さらに、ドライエッチングによりN⁺型アモルファスシリコン層5及びI型アモルファスシリコン層4のチャネル堀込みを行い、その上に、絶縁保護層10を形成する。これにより、アクティブマトリクス型液晶表示装置が完成する。このように第1の実施例では、ゲート絶縁層3にコンタクトをドライエッチングにより形成する際に、これと同時にドレインパターン8と画素電極層9との間の所定パターン部のゲート絶縁層3をエッチング除去することで、前工程でのアモルファスシリコン層のパターニング不良によるアモルファスシリコン残りがドレインパターン8と画素電極層9との間もしくは近接する画素電極層9間にあっても、工程を増加することなく、これをエッチング除去することができる。

【0010】図3は本発明に係るアクティブマトリクス型液晶表示装置の第2の実施例を示し、図3の(A)は平面図、図3の(B)は図3の(A)のIII-III線断面図である。第2の実施例では、コンタクト形成工程のドライエッチングで除去したゲート絶縁層3の凹部6に画素電極層9の一部を埋設してある。これにより、ドレインパターン8と画素電極層9の間の距離が非常に近接

している場合でも、アモルファスシリコン残りの除去を確実に行うことができる。

【0011】図4は本発明に係るアクティブマトリクス型液晶表示装置の第3の実施例を示し、図4の(A)は平面図、図4の(B)は図4の(A)のIV-IV線断面図である。第3の実施例においては、コンタクト形成工程のドライエッチングで除去するゲート絶縁層3の部分をドレインパターン8の形成領域まで拡散し、従って、図示のごとく、凹部6'を形成する。この結果、ドレインパターン8はこの凹部6'に埋設される。この第3の実施例によれば、第2の実施例同様、ドレインパターン8と画素電極層9の間の距離が非常に近接している場合でもアモルファスシリコン残りの除去を確実に行うことができる。

【0012】図5は本発明に係るアクティブマトリクス型液晶表示装置の第4の実施例を示し、図5の(A)は平面図、図5の(B)は図5の(A)のV-V線断面図である。第4の実施例においては、I型アモルファスシリコン層4及びN⁺型アモルファスシリコン層5のパターニングまでは第1の実施例と同じである。その後、コンタクト工程でのゲート絶縁層3のパターニングの際には画素電極形成領域のゲート絶縁層のエッチング除去は行わない。その後、さらに、ソースパターン7、ドレインパターン8の形成、さらに透明画素電極層9の形成を行う。この後、チャンネル堀込みを行い、その上に絶縁保護層10の形成を行う。そして、絶縁保護層加工工程(パッシベーション工程)の際、同時に画素電極層9のまわりの所定パターンの絶縁保護層10及びゲート絶縁層3のエッチング除去を行って凹部6''を形成する。エッチング深さはゲート絶縁膜の厚みとほぼ等しい量とする。これにより、第1の実施例同様、アモルファスシリコン層のパターニング不良によるアモルファスシリコン残りをエッチング除去することができる。

【0013】

【発明の効果】以上説明したように本発明によれば、ドレインパターン(信号配線パターン)と画素電極層間、もしくは連続する画素電極層間にアモルファスシリコン層パターニング不良によるエッチング残りがあっても、これを同時に除去でき、ドレインパターンと画素電極層もしくは連続する画素電極層間の短絡による点欠陥不良を低減することができる。なお、試作段階の結果では、本発明の採用により、点欠陥不良が従来比で40%程度になった。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス型液晶表示装置の第1の実施例を示し、(A)は平面図、(B)は(A)のI-I線断面図である。

【図2】本発明に係るアクティブマトリクス型液晶表示装置の第1の実施例を示す断面図である。

【図3】本発明に係るアクティブマトリクス型液晶表示装置の第2の実施例を示し、(A)は平面図、(B)は(A)のIII-III線断面図である。

10 【図4】本発明に係るアクティブマトリクス型液晶表示装置の第3の実施例を示し、(A)は平面図、(B)は(A)のIV-IV線断面図である。

【図5】本発明に係るアクティブマトリクス型液晶表示装置の第4の実施例を示し、(A)は平面図、(B)は(A)のV-V線断面図である。

【図6】従来のアクティブマトリクス型液晶表示装置を示し、(A)は平面図、(B)は(A)のVI-VI線断面図である。

【図7】図6のTFT部分の断面図である。

20 【図8】他の従来のアクティブマトリクス型液晶表示装置を示す断面図である。

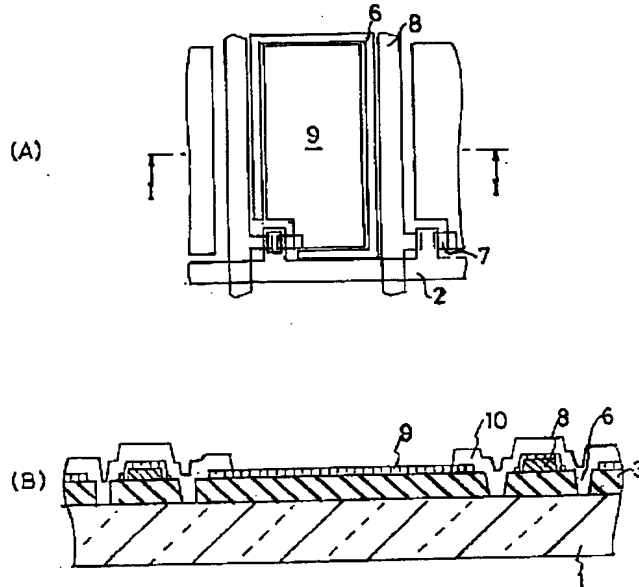
【図9】他の従来のアクティブマトリクス型液晶表示装置を示す断面図である。

【符号の説明】

- 1…ガラス基板
- 2…ゲート層(パターン)
- 3…ゲート絶縁層
- 4…I型アモルファスシリコン層
- 5…N⁺型アモルファスシリコン層
- 30 6、6'、6''…凹部
- 7…ソースパターン
- 8…ドレインパターン
- 9…透明画素電極層
- 10…絶縁保護層
- 101…ガラス基板
- 102…ゲート層(パターン)
- 1031、1032…ゲート絶縁層
- 104…I型アモルファスシリコン層
- 105…N⁺型アモルファスシリコン層
- 40 107…ソースパターン
- 108…ドレインパターン
- 109…透明画素電極層
- 110…絶縁保護層

【図1】

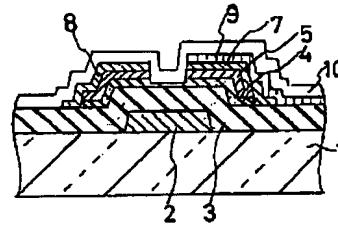
本発明の第1の実施例



- | | |
|---------------|------------|
| 1…ガラス基板 | 7…ソースパターン |
| 2…ゲート層 (パターン) | 8…ドレインパターン |
| 3…ゲート絶縁層 | 9…透明画素電極層 |
| 4…凹部 | 10…絶縁保護層 |

【図2】

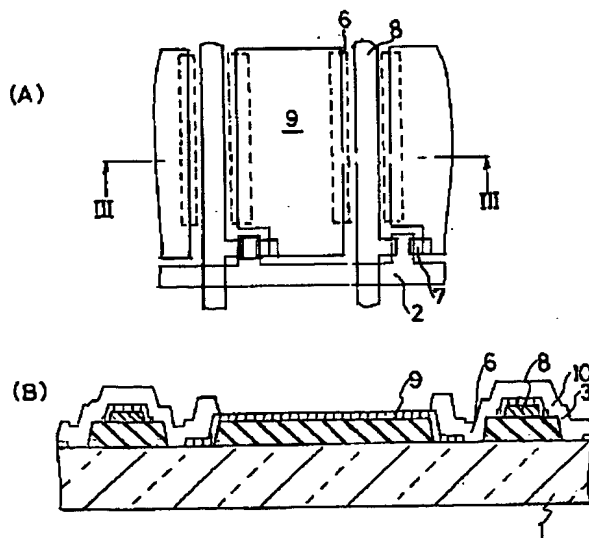
図1のTFT



- | | |
|------------------|------------|
| 1…ガラス基板 | 7…ソースパターン |
| 2…ゲート層 (パターン) | 8…ドレインパターン |
| 3…ゲート絶縁層 | 9…透明画素電極層 |
| 4… I型アモルファスシリコン層 | 10…絶縁保護層 |
| 5… P型アモルファスシリコン層 | |

【図3】

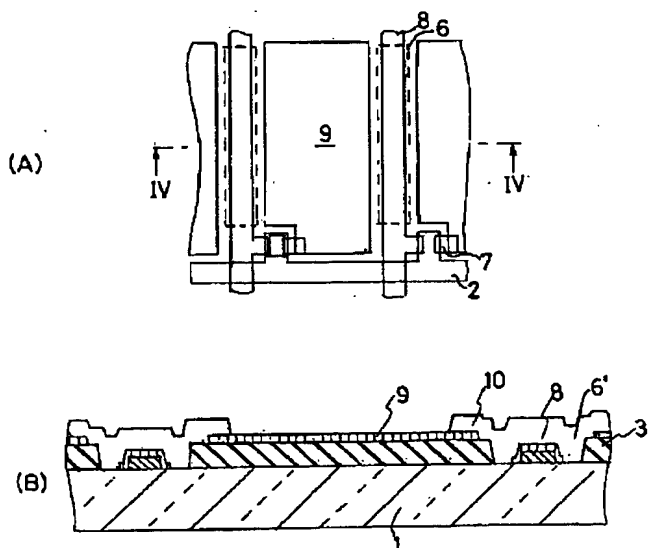
本発明の第2の実施例



- | | |
|---------------|------------|
| 1…ガラス基板 | 7…ソースパターン |
| 2…ゲート層 (パターン) | 8…ドレインパターン |
| 3…ゲート絶縁層 | 9…透明画素電極層 |
| 4…凹部 | 10…絶縁保護層 |

【図4】

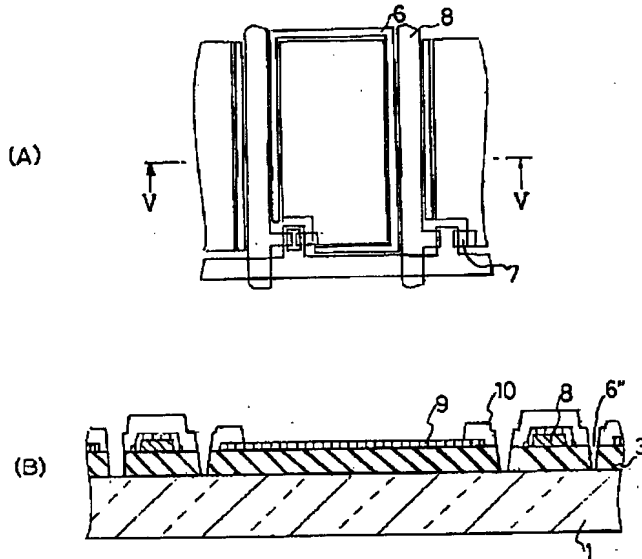
本発明の第3の実施例



- | | |
|---------------|------------|
| 1…ガラス基板 | 7…ソースパターン |
| 2…ゲート層 (パターン) | 8…ドレインパターン |
| 3…ゲート絶縁層 | 9…透明画素電極層 |
| 4…凹部 | 10…絶縁保護層 |

【図5】

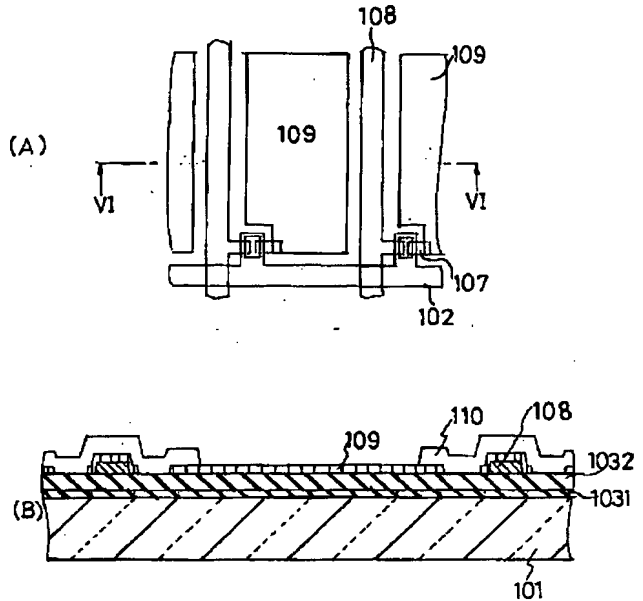
本発明の第4の実施例



- 1…ガラス基板 7…ソースパターン
2…ゲート層 (パターン) 8…ドレインパターン
3…ゲート絶縁層 9…透明画素電極層
6…凹部 10…絶縁保護層

【図6】

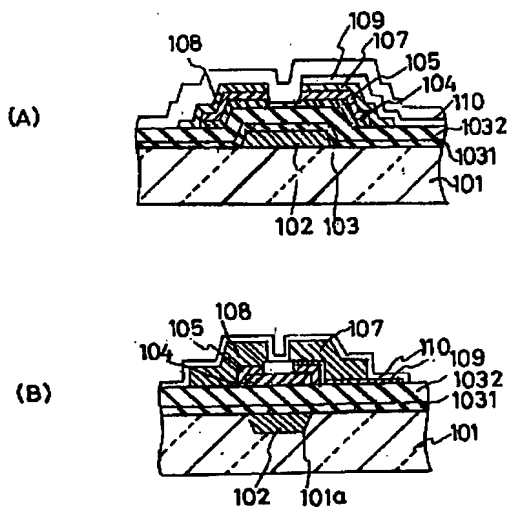
従来の液晶表示装置 (その1)



- 101…ガラス基板 107…ソースパターン
102…ゲート層 (パターン) 108…ドレインパターン
1031, 1032…ゲート絶縁層 109…透明画素電極層
110…絶縁保護層

【図7】

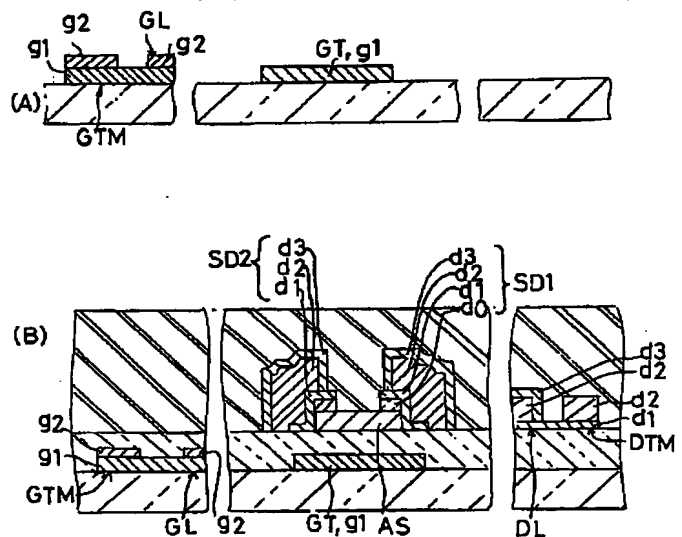
図6のTFT



- 101…ガラス基板 107…ソースパターン
102…ゲート層 (パターン) 108…ドレインパターン
1031, 1032…ゲート絶縁層 109…透明画素電極層
104…1型アモルファスシリコン層 110…絶縁保護層
105…2型アモルファスシリコン層

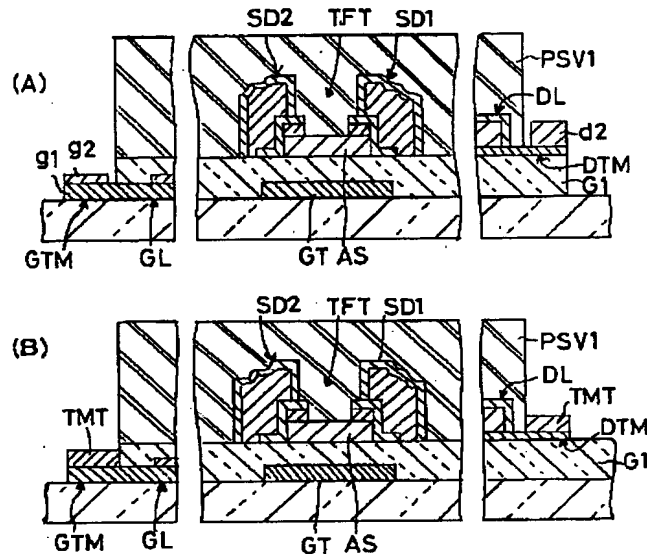
【図8】

他の従来の液晶表示装置 (その1)



【図9】

他の従来の液晶表示装置（その2）



【手続補正書】

【提出日】平成6年6月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【発明の効果】 以上説明したように本発明によれば、

ドレインパターン（信号配線パターン）と画素電極層間、もしくは連続する画素電極層間にアモルファスシリコン層パターンニング不良によるエッチング残りがあっても、これを同時に除去でき、ドレインパターンと画素電極層もしくは連続する画素電極層間の短絡による点欠陥不良を低減することができる。なお、試作段階の結果では、本発明の採用により、点欠陥不良が従来比で40%程度になった。

【手続補正書】

【提出日】平成7年3月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】 図7の（B）は図7の（A）の変更例を示す（参照：特開平4-324938号公報）。図7の（B）においては、ゲート層102がガラス基板101の凹部101aに埋設されている。つまり、ガラス基板101上にフォトリソストを用いてゲートパターンの開口部を有するエッチングマスクを形成する。次にこの基板101をArによるイオンビームミリング装置によりエッチング処理する。エッチング深さはゲート層102

とほぼ等しい量とする。このようにしてゲート層102はガラス基板101の凹部101aに充填されるようにし、この結果、ガラス基板面とゲート層とが面一の平坦面となる。従って、薄膜トランジスタの基板面からの高さ（厚み）が低くなり、配向不良の防止、液晶層のギャップ制御材による欠陥の減少、また凹部の深さを十分に取ることによりゲート層の厚みを増加できて抵抗値が減少できる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】 また、図8、図9は他のアクティブマト

リクス型液晶表示装置の製造方法を示し、ゲート絶縁層と絶縁保護層とが同時に形成されている（参照：特開平 2-234126号公報）。すなわち、図8の（A）に示すように、ガラス基板G0上にCrからなる導電膜g1をスパッタしゲートラインGL、ゲート電極GT、ゲート端子GTMの第1層及び保持容量（図示せず）の電極膜を形成する。次に、Al等からなる導電膜をスパッタし、ゲートラインGLの第2層及びゲート端子GTM上にも第2層を形成する。この場合、ゲート端子GTM上の導電膜g2の端部が保護膜（図9のPSV1）の周縁の外側に位置するようにする。次に、図8の（B）に示すように、プラズマCVD法により窒化シリコン膜G1、I型非結晶シリコン膜AS、N⁺型シリコン膜d0を設け、I型半導体層を形成する。次に、Crからなる導電膜d1をスパッタし、ドレインラインDL、ソース電極SD1及びドレイン電極SD2、ドレイン端子DTMの第1層を形成する。次に、レジストを除去する前にドライエッチングにより、N⁺型半導体層d0をパターニングする。次に、Al等により第2の導電膜を成膜し、映像信号線DL、ドレイン電極SD1及びソース電極SD2の第2層を形成すると共に、ドレイン端子DTM上にも導電膜d2を形成する。この場合、ドレイン端子DTM上の導電膜d2の端部が、保護膜（図9のPSV1）の周縁の外側に位置するようにする。次に、ITO

O膜からなる導電膜d3をスパッタし、映像信号線DL、ドレイン電極SD1及びソース電極SD2の第3層、透明画素電極（図示せず）を形成する。次にプラズマCVD法により膜厚が1 μ mの窒化シリコン膜PSV1を設ける。次に、図9の（A）に示すように、ドライエッチングにより保護膜PSV1及び絶縁膜G1のパターン形成を行う。次に、図9の（B）に示すように、レジストを除去する前にゲート端子GTMの導電膜g1上の導電膜g2、ドレイン端子DTMの導電膜d1上の導電膜d2を除去する。次に、ITO膜をスパッタし、ゲート端子GTM及びドレイン端子DTMの最上層TMTを形成する。このように、絶縁膜のパターン形成と保護膜のパターン形成を同時に行うため、ゲート絶縁膜として使用される絶縁膜にレジストのピンホールが転写されることがないため、ゲートライン、ゲート電極とドレインライン、ソース電極、ドレイン電極とがショートすることがないため、歩留まり向上することができる。

【手続補正3】

【補正対象書類名】図面

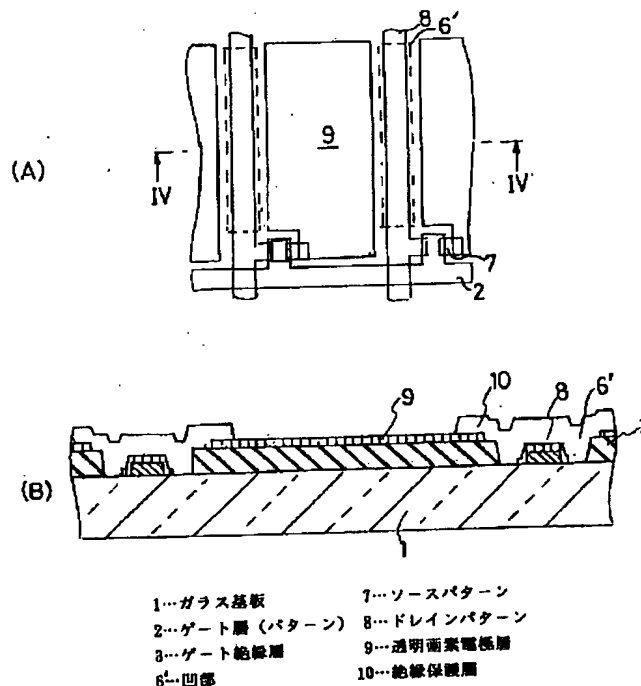
【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】

本発明の第3の実施例



【手続補正4】

【補正対象書類名】図面

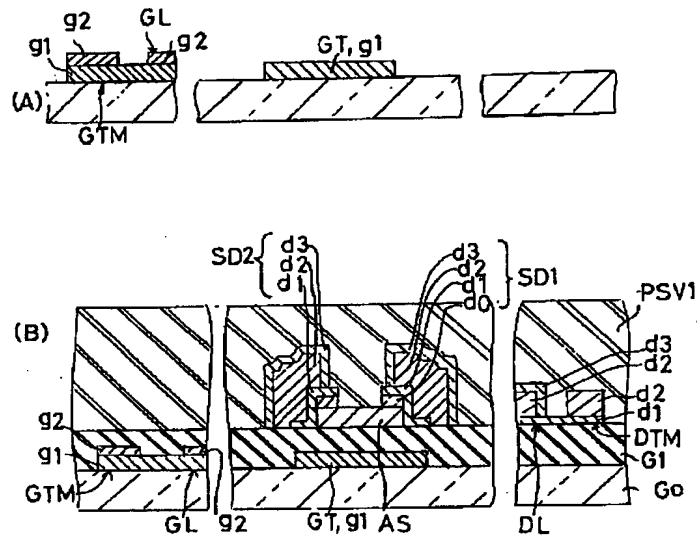
【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】

他の従来の液晶表示装置 (その1)



【手続補正5】

【補正対象書類名】図面

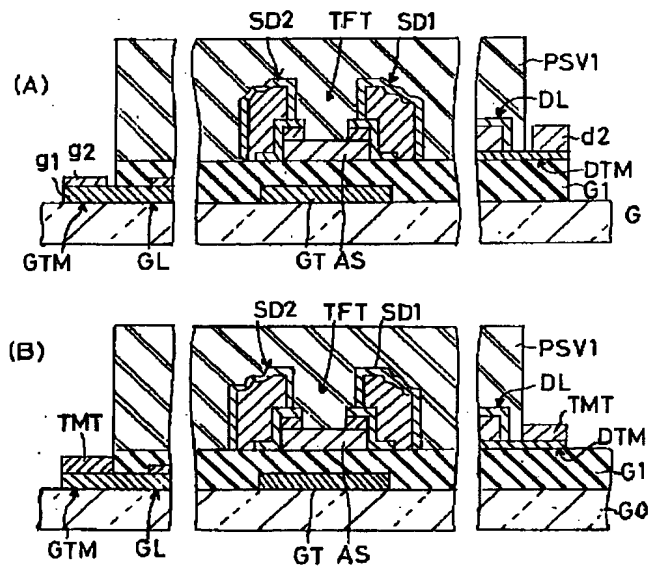
【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】

他の従来の液晶表示装置 (その2)



フロントページの続き

(72)発明者 松本 征一

東京都港区芝五丁目7番1号 日本電気株式会社内

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010403003 **Image available**

WPI Acc No: 95-304317/199540

XRFX Acc No: N95-231107

**Active matrix, thin film transistor liquid crystal display manufacture -
involving introduction of recess on gate insulation layer after its
etching**

Patent Assignee: NEC CORP (NIDE); NIPPON DENKI KK (NIDE)

Inventor: IHARA H; KANEKO W; MATSUMOTO S; SUKEGAWA O

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 7199223	A	19950804	JP 93352442	A	19931230	G02F-001/136	199540 B
TW 259862	A	19951011	TW 94111991	A	19941221	G09G-003/18	199551
US 5872021	A	19990216	US 94364221	A	19941227	H01L-021/84	199914

Priority Applications (No Type Date): JP 93352442 A 19931230

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
JP 7199223	A		9				

Abstract (Basic): JP 7199223 A

The method of forming a gate insulation layer (3) on a glass substrate (1). Then the succeeding selective etching of a portion of this layer between the pixel electrode domain and the signal wiring domain. The resulting recess after this etching facilitates the removal of possible shorting agents on the succeeding process.

Then the subsequent formation of the signal wiring pattern (8) on the gate insulation layer. Eventually the formation of the pixel electrode layer (9) on the gate insulation layer of the electrode formation domain.

ADVANTAGE - Reduction to 40% of short circuit defects.

Dwg.1/9

Title Terms: ACTIVE; MATRIX; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL;
DISPLAY; MANUFACTURE; INTRODUCING; RECESS; GATE; INSULATE; LAYER; AFTER;
ETCH

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136; G09G-003/18; H01L-021/84

International Patent Class (Additional): H01L-021/336; H01L-029/786

File Segment: EPI; EngPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

04906623 **Image available**

PRODUCTION OF LIQUID CRYSTAL DISPLAY

PUB. NO.: 07-199223 JP 7199223 A]

PUBLISHED: August 04, 1995 (19950804)

INVENTOR(s): SUKEGAWA OSAMU
KANEKO WAKAHIKO
IHARA HIROSHI
MATSUMOTO SEIICHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-352442 [JP 93352442]

FILED: December 30, 1993 (19931230)

INTL CLASS: [6] G02F-001/136; H01L-029/786

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)

ABSTRACT

PURPOSE: To prevent the short circuit between the signal wiring pattern in a signal wiring region and the picture-element electrode forming region by etching off the gate insulating layer or the part of an insulation protecting layer and the part of the gate insulating layer between a picture-element electrode forming region and a signal wiring region.

CONSTITUTION: A gate layer 2, a gate insulating layer 3 and an amorphous silicon layer are laminated on a glass substrate 1, and the specified pattern of the amorphous silicon layer is removed by dry etching. The gate insulating layer 3 is dry-etched at the peripheral terminal part, etc., in the specified pattern to secure the continuity between a source pattern 7 and a drain pattern 8. At this time, the gate insulating layer 3 between the electrode forming region and drain pattern forming region is simultaneously etched off to form a recess 6. Even if the remainder of the amorphous silicon due to defective patterning in the preceding stage is present between the drain pattern 8 and a picture-element electrode 9, the remainder is removed without increasing the number of stages.